

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-295693

(43)Date of publication of application : 10.11.1995

(51)Int.Cl.

G06F 1/26
G06F 13/14

(21)Application number : 07-080452

(71)Applicant : ADVANCED MICRO DEVIDCS INC

(22)Date of filing : 05.04.1995

(72)Inventor : WISOR MICHAEL T
O'BRIEN RITA M

(30)Priority

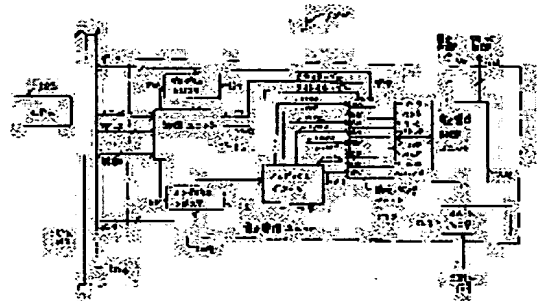
Priority number : 94 223770 Priority date : 06.04.1994 Priority country : US

(54) POWER MANAGEMENT UNIT, COMPUTER SYSTEM, AND METHOD FOR ACCESSING PLURAL COMPONENT REGISTERS IN THE POWER MANAGEMENT UNIT OF COMPUTER SYSTEM

(57)Abstract:

PURPOSE: To provide a power management unit including a plurality of component registers used to store configuration information to set various operational parameters of the power management unit.

CONSTITUTION: A program register 12 is mapped in the configuration space of the computer system and used for storing an I/O address setting value of an index register 126. The program register 124 is written for initial setting of the power management unit and relates to a prescribed default. When the program register 124 is set once by an I/O address of the index register 126 and the access to the component register is attained by writing at first an offset to the index register 126. Then, configuration data are written in/read from the component register designated by executing a proper cycle to an address of the component register mapped at a location by one preceding word by the index register 126.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-295693

(43) 公開日 平成7年(1995)11月10日

(51) Int.Cl.⁹

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 1/26

13/14

3 1 0 H 7368-5B

G 0 6 F 1/00

3 3 4 H

審査請求 未請求 請求項の数17 OL (全 7 頁)

(21) 出願番号 特願平7-80452

(22) 出願日 平成7年(1995)4月5日

(31) 優先権主張番号 2 2 3 7 7 0

(32) 優先日 1994年4月6日

(33) 優先権主張国 米国 (US)

(71) 出願人 591016172

アドバンスト・マイクロ・ディバイシズ・
インコーポレイテッド

ADVANCED MICRO DEVI
CES INCORPORATED

アメリカ合衆国、94088-3453 カリフォ
ルニア州、サニイペイル、ピー・オー・ボ
ックス・3453、ワン・エイ・エム・ディ・
プレイス (番地なし)

(74) 代理人 弁理士 深見 久郎 (外3名)

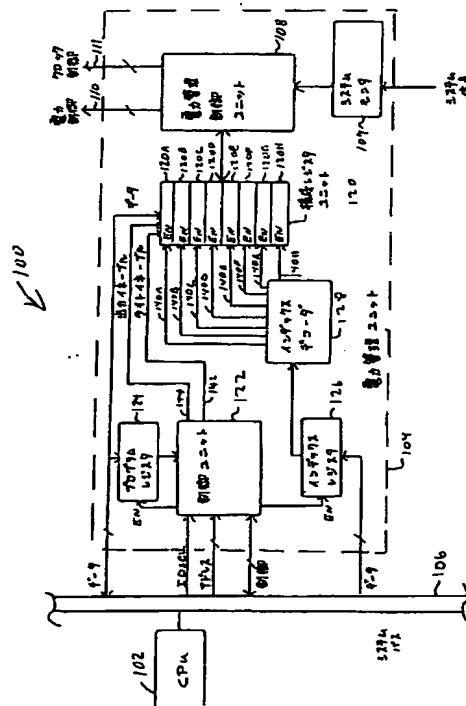
最終頁に続く

(54) 【発明の名称】 電力管理ユニット、コンピュータシステム、およびコンピュータシステムの電力管理ユニット内の複数個の構成レジスタをアクセスする方法

(57) 【要約】

【目的】 電力管理ユニットの様々なオペレーショナルパラメータを設定する構成情報を記憶する複数個の構成レジスタを含む電力管理ユニットを提供する。

【構成】 プログラムレジスタ124は、コンピュータシステムの構成空間内にマッピングされ、インデックスレジスタ126のI/Oアドレス設定値を記憶するのに用いられる。プログラムレジスタは、電力管理ユニットの初期設定の間に書込まれ、所定のデフォルト値と関連され得る。一旦プログラムレジスタがインデックスレジスタのI/Oアドレス値で設定されると、構成レジスタへのアクセスはインデックスレジスタにオフセット値を最初に入力することによって達成される。その後構成データは、インデックスレジスタより1ワード位置先にマッピングされ得る構成データレジスタのアドレスに対して適切なサイクルを実行することにより指定された構成レジスタへ書込/読出され得る。



【特許請求の範囲】

【請求項1】 コンピュータシステムのための電力管理ユニットであって、

前記電力管理ユニットの動作のモードを設定するための構成情報を記憶することができる複数の構成レジスタと、

前記複数の構成レジスタの各々に結合され、前記複数の構成レジスタの1つを能動化するインデックスデコーダと、

前記インデックスデコーダに結合され、かつ前記複数の構成レジスタの前記1つのどれが前記インデックスデコーダにより能動化されるかを制御するインデックス値を記憶することができるインデックスレジスタと、
前記インデックスレジスタのアドレス位置を設定する値を記憶することができるプログラムレジスタと、
前記プログラムレジスタおよび前記インデックスレジスタに結合される制御ユニットとを含み、前記制御ユニットは、前記インデックスレジスタの前記アドレス位置に対する書込サイクルに応答して、インデックス値が前記インデックスレジスタ内にラッチされるのを引き起こすことができる、電力管理ユニット。

【請求項2】 前記プログラムレジスタは、前記コンピュータシステムの構成空間内にマッピングされる、請求項1に記載の電力管理ユニット。

【請求項3】 前記インデックスレジスタは、前記コンピュータシステムのI/O空間内にマッピングされる、請求項1に記載の電力管理ユニット。

【請求項4】 前記制御ユニットは、構成データレジスタの位置に対する書込サイクルに応答して、構成データが前記複数の構成レジスタの前記1つにラッチされるのをさらに引き起こすことができる、請求項1に記載の電力管理ユニット。

【請求項5】 前記複数の構成レジスタに結合される電力管理制御ユニットをさらに含み、前記電力管理制御ユニットは、システムクロック信号およびCPUクロック信号の周波数を制御するための複数のクロック制御ラインを含む、請求項1に記載の電力管理ユニット。

【請求項6】 前記電力管理制御ユニットに結合されるシステムモニタをさらに含み、前記システムモニタは、選択されたシステムアクティビティの発生を検出することができる、請求項5に記載の電力管理ユニット。

【請求項7】 前記制御ユニットは、前記プログラムレジスタにラッチングイネーブル信号をアサートすることがさらに可能である、請求項1に記載の電力管理ユニット。

【請求項8】 コンピュータシステムであって、
処理ユニットと、
前記処理ユニットに結合されるシステムバスと、
前記システムバスに結合される電力管理ユニットとを含み、

前記電力管理ユニットは、

前記電力管理ユニットの動作のモードを設定するための構成情報を記憶することができる複数の構成レジスタと、

前記複数の構成レジスタの各々に結合され、前記複数の構成レジスタの1つを能動化するインデックスデコーダと、

前記インデックスデコーダに結合され、かつ前記複数の構成レジスタの前記1つのどれが前記インデックスデコーダにより能動化されるかを制御するインデックス値を記憶することができるインデックスレジスタと、
前記インデックスレジスタのアドレス位置を設定する値を記憶することができるプログラムレジスタと、
前記プログラムレジスタおよび前記インデックスレジスタに結合される制御ユニットとを含み、前記制御ユニットは、前記インデックスレジスタの前記アドレス位置に対する書込サイクルに応答して、インデックス値が前記インデックスレジスタ内にラッチされるのを引き起こすことができる、コンピュータシステム。

【請求項9】 前記プログラムレジスタは、前記コンピュータシステムの構成空間内にマッピングされる、請求項8に記載のコンピュータシステム。

【請求項10】 前記インデックスレジスタは、前記コンピュータシステムのI/O空間内にマッピングされる、請求項8に記載のコンピュータシステム。

【請求項11】 前記制御ユニットは、構成データレジスタの位置に対する書込サイクルに応答して、構成データが前記複数の構成レジスタの前記1つにラッチされるのをさらに引き起こすことができる、請求項8に記載のコンピュータシステム。

【請求項12】 前記電力管理ユニットは、前記複数の構成レジスタに結合される電力管理制御ユニットをさらに含み、前記電力管理制御ユニットは、システムクロック信号およびCPUクロック信号の周波数を制御する複数のクロック制御ラインを含む、請求項8に記載のコンピュータシステム。

【請求項13】 前記電力管理ユニットは、前記電力管理制御ユニットに結合されるシステムモニタをさらに含み、前記システムモニタは、選択されたシステムアクティビティの発生を検出することができる、請求項12に記載のコンピュータシステム。

【請求項14】 前記制御ユニットは、前記プログラムレジスタにラッチングイネーブル信号をアサートすることがさらに可能である、請求項8に記載のコンピュータシステム。

【請求項15】 コンピュータシステムの電力管理ユニット内の複数の構成レジスタをアクセスする方法であって、
インデックスレジスタのアドレス位置を設定する値をプログラムレジスタ内に記憶するステップと、

前記インデックスレジスタの前記アドレス位置に対して書込サイクルを実行することにより、前記インデックスレジスタ内にインデックス値を記憶するステップと、前記インデックス値に従って前記複数個の構成レジスタの1つを能動化するステップと、前記複数個の構成レジスタの前記1つに構成データを書込むステップとを含む、方法。

【請求項16】 前記プログラムレジスタ内に値を記憶する前記ステップは、前記コンピュータシステムの構成アドレス空間内で書込サイクルを実行するステップを含む、請求項15に記載の方法。

【請求項17】 前記インデックスレジスタ内にインデックス値を記憶する前記ステップは、前記コンピュータシステムのI/Oアドレス空間内で書込サイクルを実行するステップを含む、請求項16に記載の方法。

【発明の詳細な説明】

【0001】

【発明の分野】 この発明は、コンピュータシステムに関し、より特定的には、内部構成レジスタを含む電力管理ユニットに関する。

【0002】

【関連技術の説明】 コンピュータシステム内の周辺デバイスは、典型的には複数個のいわゆる「構成」レジスタを含む。特定の周辺デバイス内の構成レジスタは、デバイスのユーザプログラマブルオペレーティングパラメータを制御する構成データを記憶するために与えられる。たとえば構成レジスタは、継続中のデータ転送の方向（すなわち、メモリからI/OまたはI/Oからメモリ）、転送されるべきバイト数などを制御するためにDMA（直接メモリアクセス）コントローラ内で用いられ得る。同様に構成レジスタは、とりわけ、プログラマブル期間を設定するためにタイマ内で、かつ様々な割込ソースの優先順位および／またはマスキングを設定するために割込コントローラ内で用いられ得る。

【0003】 特定の周辺デバイスの構成レジスタは典型的には、I/O空間内に予め定められたアドレスを有するインデックスレジスタにオフセット値を最初に書込むことによって、ホストプロセッサによりアクセスされる。オフセット値は、特定の構成レジスタが書込まれているまたは読出されていることを示す。たとえば、8ビットからなるオフセット値は、256個までの異なる構成レジスタのいずれかを選択するために用いられ得る。指定された構成レジスタ（インデックスレジスタのオフセット値によって示される）に構成データを実際に書込むために、I/O書込サイクルが、典型的にはインデックスレジスタのワード位置より1ワード位置先である「構成データレジスタ」位置と呼ばれるアドレス位置に対して実行される。これにより、インデックスレジスタのオフセット値によって示される物理的な構成レジスタが書込まれる。指定された構成レジスタに対する読出動

作は、同様の態様で達成される。そのようなインデックス技術を用いることにより、周辺デバイス内の複数個の構成レジスタが、たとえばコンピュータシステムのI/Oアドレス指定可能な空間内の2ワード位置のみを占める間に、選択的に書込まれまたは読出され得る。

【0004】 電力管理ユニットは典型的には、複数個の構成レジスタを用いて、電力管理モード、タイムアウト値などを制御する。典型的なシステムでは、電力管理ユニットの構成レジスタは、上述のものと同様のインデックス機構を用いることによりアクセスされる。しかしながら、インデックスレジスタアドレスおよび対応する構成データレジスタアドレスが、コンピュータシステム内で用いるために必要な他の周辺デバイスのI/Oマッピングと競合するI/Oアドレス値を有する場合に、問題が生じる。そのような状況が生じると、電力管理ユニットまたは競合する周辺デバイスがシステムから除去されなければならない。これは、コンピュータシステムの全体の柔軟性を制限してしまう。

【0005】

【発明の概要】 上記で概略を述べた問題は、この発明に従う構成レジスタをアクセスするプログラマブルインデックスレジスタを含む電力管理ユニットによって、大部分は解決される。1つの実施例では、電力管理ユニットは、電力管理ユニットの様々なオペレーショナルパラメータ、たとえばクロック制御および電力制御パラメータを設定するための構成情報を記憶する複数個の構成レジスタを含む。プログラムレジスタは、コンピュータシステムの構成空間内でマッピングされ、かつインデックスレジスタのI/Oアドレスを設定する値を記憶するために用いられる。プログラムレジスタは、電力管理ユニットの初期設定の間に書込まれ、かつ予め定められたデフォルト値と関連し得る。一旦プログラムレジスタがインデックスレジスタのI/Oアドレスを表わす値で設定されると、構成レジスタへのアクセスは、インデックスレジスタにオフセット値を最初に書込むことによって達成される。その後、構成データは、インデックスレジスタのワード位置より1ワード位置先にマッピングされ得る、構成データレジスタのアドレスに対して適切なサイクルを実行することによって、指定された構成レジスタに書込まれまたはそれから読出され得る。プログラマブルインデックスレジスタの結果として、コンピュータシステムのI/O空間内の構成データレジスタおよびインデックスレジスタのアドレスは、ソフトウェアによって特定されることができ、こうして、システム設計者に、コンピュータシステム内に組入れられる他の周辺デバイスの選択に関して、より大きい柔軟性を可能にする。

【0006】 概して、この発明は、電力管理ユニットの動作のモードを設定するための構成情報を記憶することができる複数個の構成レジスタを含む、コンピュータシステムのための電力管理ユニットを企図する。電力管理

ユニットは、構成レジスタの各々に結合され、構成レジスタの一つを能動化するインデックスデコーダと、インデックスデコーダに結合され、かつどの構成レジスタがインデックスデコーダにより能動化されるかを制御するインデックス値を記憶することができるインデックスレジスタとをさらに含む。電力管理ユニットは、インデックスレジスタのアドレス位置を設定する値を記憶することができるプログラムレジスタと、プログラムレジスタおよびインデックスレジスタに結合される制御ユニットとを最終的には含む。制御ユニットは、インデックスレジスタのアドレス位置に対する書込サイクルにตอบสนองして、インデックス値がインデックスレジスタ内にラッチされることを引き起こすことができる。

【0007】この発明は、処理ユニットと、処理ユニットに結合されるシステムバスと、システムバスに結合される電力管理ユニットとを含むコンピュータシステムをさらに企図する。電力管理ユニットは、電力管理ユニットの動作のモードを設定するための構成情報を記憶することができる複数の構成レジスタと、構成レジスタの各々に結合され、一つの構成レジスタを能動化するインデックスデコーダと、インデックスデコーダに結合され、かつどの構成レジスタがインデックスデコーダにより能動化されるかを制御するインデックス値を記憶することができるインデックスレジスタとを含む。電力管理ユニットは、インデックスレジスタのアドレス位置を設定する値を記憶することができるプログラムレジスタと、プログラムレジスタおよびインデックスレジスタに結合される制御ユニットとをさらに含む。制御ユニットは、インデックスレジスタのアドレス位置に対する書込サイクルにตอบสนองして、インデックス値がインデックスレジスタ内にラッチされることを引き起こすことができる。

【0008】この発明は、コンピュータシステムの電力管理ユニット内の複数の構成レジスタをアクセスする方法を最終的には企図しており、この方法は、インデックスレジスタのアドレス位置を設定する値をプログラムレジスタ内に記憶するステップと、インデックスレジスタのアドレス位置に対して書込サイクルを実行することによりインデックスレジスタ内にインデックス値を記憶するステップと、インデックス値に従って複数の構成レジスタの1つを能動化するステップとを含む。この方法は、複数の構成レジスタの1つに構成データを書込む最後のステップを含む。

【0009】この発明の他の目的および利点は、次の詳細な説明を読みかつ添付の図面を参照すると明らかになるであろう。

【0010】この発明には、様々な変形例および代替の形態が可能であるが、その特定の実施例を例として図面に示し、かつここに詳細に説明する。しかしながら、その図面および詳細な説明は、この発明を開示される特定の形態に限定することを意図せず、それどころかその意

図は、前掲の特許請求の範囲により規定されるこの発明の精神および範囲内にあるすべての変形例、均等物および代替例をカバーすることである。

【0011】

【詳細な説明】さて図面を参照すると、図1は、システムバス106を介して電力管理ユニット104に結合されるマイクロプロセッサ(CPU)102を含むコンピュータシステム100のブロック図である。マイクロプロセッサ102は、予め定められた命令セットを実現するデータ処理ユニットである。例示的な処理ユニットは、とりわけモデル80386および80486マイクロプロセッサを含む。システムバス106は、たとえばPCIローカルバスを例示する。しかしながら、ISAまたはEISAバス標準などの他のバス標準が、代替として用いられ得ることが理解される。

【0012】概して、電力管理ユニット104は、コンピュータシステム100内の電力を管理するために与えられる。電力管理ユニット104は、キーボードアクティビティ、バスアクティビティ、および割込アクティビティなどの様々なシステムアクティビティをモニタすることができるシステムモニタ107を含む。電力管理制御ユニット108は、システムモニタ107に結合され、かつライン110および111に1組の電力制御およびクロック制御信号を発生する。クロック制御信号は、たとえばCPUクロック信号およびシステムクロック信号の発生および周波数を制御する。電力制御信号は、様々な周辺デバイス(図示せず)への電力の印加を制御するために用いられる。システムモニタ107および電力管理制御ユニット108の例示的な実現例は、たとえば、スミス(Smith)他の米国特許第5,167,024号と、同日出願のゲファート(Gephardt)他による「コンピュータシステムおよびコンピュータシステム内の電力を管理するための方法」(“Power Management Architecture for Optimal Flexibility”)と題されかつ同一の譲受人に譲渡された同時係属中の特許出願とに記載される。これらの文献は、全体を引用によりここに援用する。

【0013】電力管理ユニット104は、電力管理制御ユニット108に結合される構成レジスタユニット120と、システムバス106に結合される制御ユニット122とをさらに含む。プログラムレジスタ124およびインデックスレジスタ126は、システムバス106にさらに結合される。インデックスデコーダ128は、構成レジスタユニット120に結合されて最終的に示される。

【0014】構成レジスタユニット120は、電力管理制御ユニット108の動作を制御する構成情報を記憶するために複数の構成レジスタ120A-120Hを含む。構成レジスタ120A-120Hの幾つかのものが、電力管理制御ユニット108の状態を表わす情報を

記憶するためにさらに用いられ得ることが注目される。たとえば、構成レジスタ120A-120Hは、システムモニタ107によって検出される選択されたシステムアクティビティに対する電力管理制御ユニット108の応答を制御する構成情報で書込まれ得る。構成情報は、特定の電力管理モードの間にどの周辺デバイス（図示せず）をパワーダウンするかをさらに制御することができ、かつ特定の管理モードの間に選択されたクロック信号の周波数を制御することができる。構成情報はまた、電力管理制御ユニット108と関連する幾つかのタイムアウト値、たとえばシステムアクティビティが検出されないときに電力減少モードに入ることを制御するタイムアウト値などを制御し得る。構成レジスタは最終的には、状態情報、たとえば電力管理制御ユニット108の現在のモードなどを記憶し得る。

【0015】プログラムレジスタ124は、コンピュータシステム100の構成空間内の予め定められた位置にマッピングされ、かつコンピュータシステム100のI/O空間内のインデックスレジスタ126のアドレス値を設定するパラメータを記憶するために与えられる。コンピュータシステム100の初期設定の間に、システムプログラマは、インデックスレジスタ126のための所望のアドレス値をプログラムレジスタ124に書き込み得る。これは、プログラムレジスタ124がマッピングされる構成空間の予め定められたアドレスに対して書込サイクルを実行することにより達成される。そのようなサイクルの結果として、電力管理ユニット104へのIDSEL信号は、対応するアドレスおよび制御信号とともにシステムバス106で駆動される。制御ユニット122は、応答してプログラムレジスタ124にラッチングイネーブル信号を与え、システムバス106のデータラインのインデックスアドレス値がプログラムレジスタ124内にラッチされることを引き起こす。

【0016】インデックスレジスタ126は、インデックスデコーダ128が示す特定の構成レジスタ120A-120Hを制御するインデックス値を記憶するために与えられる。インデックスレジスタ126は、プログラムレジスタ124内の値により特定されるアドレス位置に対してI/O書込サイクルを実行することによって、インデックス値で書込まれ得る。そのようなI/O書込サイクルに回答して、制御ユニット122は、ラッチングイネーブル信号をインデックスレジスタ126に与え、これは、システムバス106のデータラインで駆動されるインデックス値がインデックスレジスタ126内にラッチされることを引き起こす。インデックスデコーダ128は、インデックスレジスタ126のインデックス値をデコードするデコーディング回路であり、したがって構成レジスタ120A-120Hの別個のイネーブル入力に結合されるライン140A-140Hの1つにイネーブル信号をアサートする。一旦所望のインデック

ス値がインデックスレジスタ126内に記憶されると、インデックスデコーダ128により示される特定の構成レジスタ120A-120H（すなわち能動化される構成レジスタ）は、インデックスレジスタ126のアドレスより1ワード先のアドレス位置に対してI/O書込サイクルを実行することによって、構成データで書込まれ得る。そのようなI/O書込サイクルに回答して、制御ユニット122は、ライン142にライトイネーブル信号をアサートし、これは、システムバス106からの構成データが指定された構成レジスタ120A-120H内に記憶されることを引き起こす。同様のI/O読出サイクルが実行されることができ、制御ユニット122は（ライン144を介して）、指定された構成レジスタユニット120A-120Hの出力を能動化し、それにより構成レジスタの状態を読出す。

【0017】図2は、コンピュータシステム100の構成空間202およびI/O空間204の部分を図示する図である。図に図示されるように、プログラムレジスタ124は、コンピュータシステム100の構成空間内の予め定められた位置にマッピングされる。図示される例では、40ヘキサデシマルの値がプログラムレジスタ124内に記憶される。こうして、これは、インデックスレジスタ126のI/Oアドレスと、構成データレジスタの対応するアドレスとを設定する。すなわち、インデックスレジスタ126へのアクセスは、40hのI/Oアドレスに対して行なわれなければならない。一方構成データレジスタへのアクセスは、42hのI/Oアドレスに対して行なわれなければならない。一旦値40hがプログラムレジスタ124内に記憶されると、40hのI/O位置に対するI/O書込サイクルは、インデックスレジスタ126内にインデックス値を記憶する。アドレス位置42hに対するその後のI/O書込サイクルは、次に実行され、インデックス値により示される特定の構成レジスタ120A-120Hに構成データを書込む。状態情報は、同様の態様で構成レジスタ120A-120Hから読出され得る。プログラムレジスタ124を与えることにより、インデックスレジスタ126のアドレスと、対応する構成データレジスタのアドレス（この実施例では、インデックスレジスタの特定のアドレスより常に1ワード位置先である）とは、ユーザによりプログラムされることができ、こうしてシステムプログラマが、予め定められたI/Oアドレス位置を占める他のI/O周辺デバイスとの競合を避けるのを可能にする。

【0018】コンピュータシステム100内にマッピングされる「構成データレジスタ」アドレスが、インデックスレジスタ126のプログラムされたアドレスより1ワード位置先に位置決めされるが、構成データレジスタの位置は、インデックスレジスタに関するいかなるオフセットでも与えられ得ることが注目される。さらに、プログラムレジスタ124は、コンピュータシステム10

0の構成空間内にマッピングされるが、プログラムレジスタ124をコンピュータシステム100のメモリまたはI/O空間内にマッピングすることが可能である。

【0019】 計算機援用設計ツールが、制御ユニット122を順序論理回路に縮小するために用いられ得ることがさらに注目される。例示的な計算機援用設計ツールは、動作言語ベリログ (Verilog) とVHSICハードウェア記述言語とを含む。

【0020】 多数の変更例および変形例は、上述の開示が十分に評価されると、当業者には明らかになるであろう。たとえば、いかなる数の構成レジスタも電力管理ユニット内に与えられ得ることが理解される。前掲の特許請求の範囲は、そのような変更例および変形例をすべて含むように解釈されることが意図される。

【図面の簡単な説明】

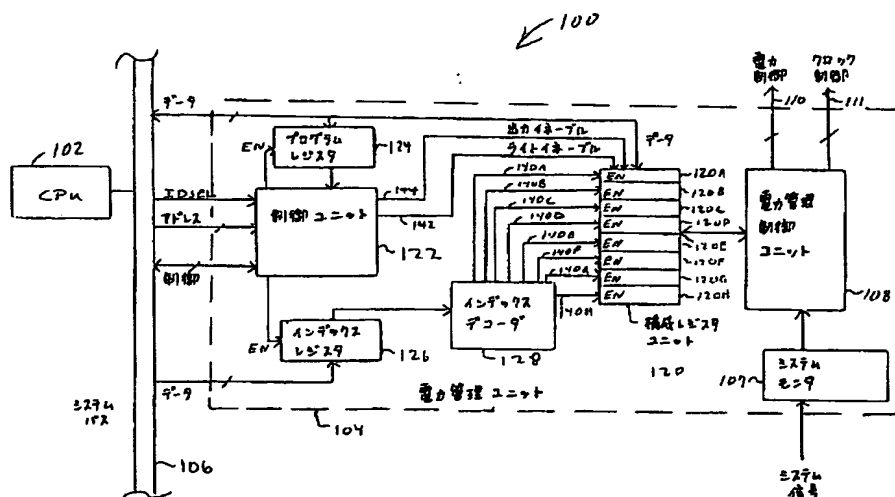
【図1】 この発明に従う構成レジスタをアクセスするためにプログラマブルインデックスレジスタを含む電力管理ユニットを用いるコンピュータシステムのブロック図である。

【図2】 この発明に従う電力管理ユニットを用いるコンピュータシステムの構成およびI/O空間を図示する図である。

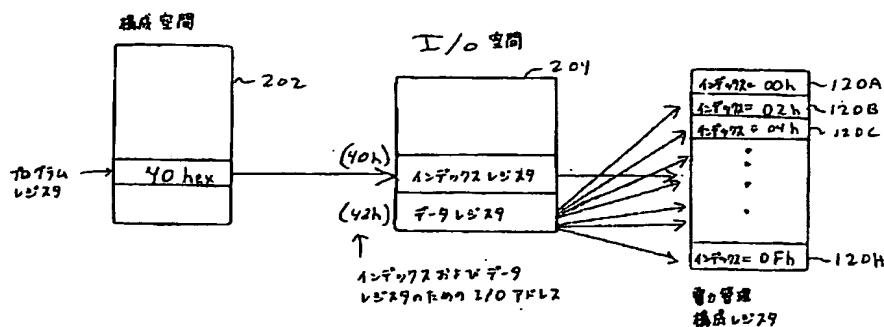
【符号の説明】

- 100 コンピュータシステム
- 104 電力管理ユニット
- 120A-120H 構成レジスタ
- 122 制御ユニット
- 124 プログラムレジスタ
- 126 インデックスレジスタ
- 128 インデックスデコーダ

【図1】



【図2】



フロントページの続き

(72)発明者 マイケル・ティ・ウィゾー
アメリカ合衆国、78729 テキサス州、オースティン、クッパー・クリーク、9815、
ナンバー・922

(72)発明者 リタ・エム・オブライエン
アメリカ合衆国、78749 テキサス州、オースティン、サローマ、4608